



DEUTSCHES
PATENTAMT

21 Aktenzeichen: P 36 23 051.0
22 Anmeldetag: 9. 7. 86
43 Offenlegungstag: 15. 1. 87

Behördenstempel

DE 3623051 A1

51 // H03K 23/00

30 Unionspriorität: 32 33 31

09.07.85 US 753 225

71 Anmelder:

Minolta Camera K.K., Osaka, JP

74 Vertreter:

Delfs, K., Dipl.-Ing., 2000 Hamburg; Moll, W.,
Dipl.-Phys. Dr.rer.nat., 8000 München; Mengdehl, U.,
Dipl.-Chem. Dr.rer.nat., Pat.-Anw., 2000 Hamburg

72 Erfinder:

Mansur, Robert P., Chelmsford, Mass., US; Piracha,
Imtiaz I., Billerica, Mass., US

54 Verfahren und Vorrichtung zur Synchronisierung frequenzverschiedener Taktsignale, insbesondere zur gegenseitigen Anpassung unterschiedlicher Datenverarbeitungsgeräte.

Vorrichtung und Verfahren zur Schaffung von Kompatibilität zwischen der internen Busarchitektur eines Rechners und einem externen Bus, der mit einer anderen Frequenz betrieben wird, wobei eine Taktgeberschaltung vorgesehen ist, zur Erzeugung eines Taktsignals, das mit dem internen Takt des Rechnersystems synchronisiert ist. Die Taktgeberschaltung weist eine Verzögerungsleitung auf, die eine Anzahl von phasenverschobenen Signalen mit der Betriebsfrequenz des Rechnersystems erzeugt. Jedes dieser phasenverschobenen Signale wird in Übereinstimmung mit dem Bezug seiner Phase zu der eines Signals mit der Taktfrequenz des externen Busses gemultiplext. Durch Multiplexen der phasenverschobenen Signale in der entsprechenden Weise werden Pulse mit einer Periodendauer erzeugt, die mit der der gewünschten externen Bustaktfrequenz übereinstimmt.

DE 3623051 A1

Patentansprüche

1. Verfahren zur Erzeugung eines ersten Taktsignals mit einer gewünschten Frequenz, das mit einem zweiten Taktsignal einer zweiten Frequenz synchronisiert ist, gekennzeichnet durch die folgenden Schritte:
Erzeugung einer Anzahl von Signalen mit der zweiten Frequenz, die gegeneinander phasenverschoben sind; und
Multiplexen dieser Signale unter Berücksichtigung ihrer jeweiligen Phase derart, daß ein zusammengesetztes Signal mit der gewünschten Frequenz erzeugt wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß das Multiplexen unter periodischer Auswahl jeweils desjenigen der phasenverschobenen Signale erfolgt, dessen Phase mit der Phase eines Signals mit der gewünschten Frequenz koinzidiert.
3. Vorrichtung zur Erzeugung eines ersten Taktsignals mit einer ersten vorbestimmten Frequenz, das mit einem zweiten Taktsignal einer davon verschiedenen Frequenz synchronisiert ist, gekennzeichnet durch:
Eine Einrichtung zur Erzeugung einer Anzahl von gegeneinander phasenverschobenen zweiten Taktsignalen;
eine Einrichtung zur periodischen Auswahl jeweils desjenigen der zweiten Taktsignale, dessen Phase mit der Phase eines Signals mit der ersten vorbestimmten Frequenz koinzidiert; und
eine Einrichtung zum Überlagern der ausgewählten zweiten Taktsignale, um das erste Taktsignal zu bilden.
4. Vorrichtung nach Anspruch 3, dadurch gekennzeichnet, daß die Auswahlrichtung und die Überlagerungseinrichtung einen Multiplexer mit einer Anzahl von Eingangsklemmen, die die Anzahl der phasenverschobenen zweiten Taktsignale empfangen und logische Einrichtungen, die auf ein Signal an einer Ausgangsklemme des Multiplexers zur Steuerung des Multiplexers ansprechen, um ein Signal an einem der Eingangsklemmen auszuwählen und es der Ausgangsklemme zuzuführen, aufweist.
5. Vorrichtung nach Anspruch 3, dadurch gekennzeichnet, daß die Differenz zwischen den Perioden des ersten und des zweiten Taktsignals ein ganzzahliges Vielfaches der Phasenverzögerung zwischen den phasenverschobenen zweiten Taktsignalen ist.
6. Vorrichtung nach Anspruch 5, dadurch gekennzeichnet, daß das erste Taktsignal eine Frequenz von etwa 4,8 MHz und das zweite Taktsignal eine Frequenz von ungefähr 8,0 MHz hat und die Phasenverschiebungseinrichtung drei zweite Taktsignale liefert, die in Bezug aufeinander um etwa 42 ns phasenverschoben sind.
7. Einrichtung zur Erweiterung der Kapazität eines Rechners, der mit einer ersten vorbestimmten Betriebsfrequenz arbeitet, durch Schaffung einer Hardware-Kompatibilität mit einem Rechnersystem, das mit einer zweiten vorbestimmten Frequenz arbeitet, gekennzeichnet durch:
Eine Einrichtung zum Empfang eines Signals mit der ersten vorgegebenen Frequenz und zur Erzeugung eines Signals mit der zweiten vorgegebenen

- Frequenz, das mit dem Signal mit der ersten Frequenz synchronisiert ist;
einem Eingabe/Ausgabekanal; und
einer Einrichtung, die auf die Erzeugungseinrichtung reagiert zum Empfang von Signalen aus dem Rechner mit der ersten Betriebsfrequenz und zur Zuführung der Signale auf den Kanal, wobei die Signale synchron sind mit dem Signal mit der ersten vorgegebenen Frequenz.
8. Einrichtung nach Anspruch 7, dadurch gekennzeichnet, daß die Erzeugungseinrichtung aufweist:
Eine Einrichtung zur Erzeugung einer Anzahl von phasenverschobenen Signalen mit der ersten Frequenz; und
einer Einrichtung zum periodischen Auswählen jeweils desjenigen der phasenverschobenen Signale, dessen Phase mit der Phase des Signals mit der zweiten Frequenz koinzidiert.
 9. Vorrichtung, die auf ein Signal mit einer Frequenz anspricht, zur Erzeugung eines synchronisierten Signals mit einer anderen Frequenz, gekennzeichnet durch
Mittel zur Erzeugung einer Anzahl von Signalen mit der ersten Frequenz, wobei die Signale in Bezug aufeinander phasenverschoben sind, um einen Betrag, der der Differenz der Periodenlängen der einen Frequenz und der anderen Frequenz entspricht;
einen Multiplexschalter mit einer Anzahl von Eingangsklemmen, die entsprechend die Anzahl von Signalen empfangen und mit einer Ausgangsklemme, die mit einer der Eingangsklemmen verbunden ist; und
Mittel zur Steuerung des Schalters zur wahlweisen Verbindung der Ausgangsklemme mit jedem der Eingabeklemmen in einer vorgegebenen Folge zur Erzeugung eines Signals an der Ausgangsklemme, das eine Frequenz in Bezug auf die andere Frequenz hat.
 10. Vorrichtung nach Anspruch 9, dadurch gekennzeichnet, daß die Steuermittel einen Möbiuszähler umfassen, der durch die Wechsel im Pegel des Signals an der Ausgangsklemme getriggert wird.
 11. Vorrichtung nach Anspruch 9, dadurch gekennzeichnet, daß der Schalter eine Anzahl von Eingangsklemmen aufweist, wobei die Anzahl zumindest doppelt so groß ist wie die Anzahl der phasenverschobenen Signale mit der einen Frequenz, und daß die phasenverschobenen Signale entsprechend an jeweils zwei der Eingangsklemmen anliegen.

Beschreibung

Die vorliegende Erfindung betrifft allgemein Datenverarbeitungsgeräte und speziell eine Vorrichtung und ein Verfahren zur Anpassung von Hardware-Modulen zwischen Rechnersystemen, die auf verschiedenen Architekturen basieren.

Aufgrund der gegenwärtigen speziellen Entwicklung in der Halbleiterindustrie werden Personal-Computer und andere Tischrechner zunehmend gebräuchlicher. Diese zunehmende Beliebtheit wird von einem Ansteigen der Anzahl verschiedener Rechnertypen, die für den Konsumenten erhältlich sind, begleitet. Häufig will ein Konsument einen Rechnertyp kaufen, da er einige wünschenswerte Eigenschaften aufweist, z. B. ein vorteilhaftes Textverarbeitungssystem. Des weiteren kann jedoch der Konsument wünschen, daß ihm andere Ausführun-

gen zugänglich sind, die mit Personalcomputersystemen verschiedener Hersteller verknüpft sind. Selbst wenn die beiden Rechnertypen mit derselben Anwendungssoftware arbeiten können, kann es sein, daß sie nicht hardwarekompatibel sind; so daß Informationen oder Zusätze, die für das eine Gerät erhältlich sind, nicht direkt von dem anderen Gerät verarbeitet werden können.

Eine Eigenschaft, die viele verschiedene Typen von Rechnersystemen unterscheidet, ist die Rate, mit welcher Daten übertragen und innerhalb des Systems verarbeitet werden. Z. B. kann ein Rechner mit einer Geschwindigkeit von 8 MHz arbeiten, währenddessen ein anderer mit einer Geschwindigkeit von nur ungefähr 4,8 MHz arbeiten kann. In einem solchen Fall ist die von einem Rechner erzeugte Information asynchron zu dem anderen Rechner. Entsprechend wird, wenn ein Typ eines Rechnersystems mit einem für das andere ausgelegten Hardware Modul betrieben wird, eine asynchrone Logik benötigt. Diese Logik bewirkt, daß eine ankommende Information des einen Computers gehalten wird, bis ein Taktsignal des Zeitgebersystems des anderen Computers erscheint. Dieses Erfordernis kann eine Verzögerung von ein oder zwei Taktzyklen bewirken, um die interessierenden Informationssignale zu erhalten.

Andere Beispiele einer Hardware-Inkompatibilität schließen Eigenschaften ein, die bei einem Rechner interne Eigenschaften der Zentraleinheit, aber externer Vorrichtungen in anderen Computern sind. Da diese Eigenschaften auf nicht identischen Architekturen beruhen, muß ein Computer, der diese Eigenschaften intern aufweist, in der Lage sein, ähnliche Eigenschaften für eine externe Anordnung adressieren zu können, um eine Kompatibilität zu schaffen.

Es ist deshalb eine allgemeine Aufgabe der vorliegenden Erfindung, ein neues Verfahren und eine neue Vorrichtung zum Anpassen zu schaffen, so daß Informationen und Verarbeitungseinrichtungen, die für ein Computersystem ausgestaltet sind, in einem zweiten Computersystem benutzt werden können.

Es ist eine speziellere Aufgabe, entsprechend dieser Zielsetzung eine neue Taktsignalerzeugungsschaltung zu schaffen, die ein Signal mit einer Frequenz erzeugt, das mit einem Taktsignal einer anderen Frequenz synchronisiert ist. Entsprechend der vorliegenden Erfindung werden diese Ziele und die sie begleitenden Vorteile durch ein Verfahren und eine Vorrichtung zur Anpassung erreicht, das eine Kompatibilität zwischen einer internen Systembusarchitektur eines Rechners und dem externen Bus, der mit einer verschiedenen Frequenz betrieben wird, schafft. Ein wichtiges Merkmal des Anpassungssystems ist eine Takterzeugungsschaltung, die ein Taktsignal für den externen Bus liefert, das mit dem internen Takt des Rechnersystems synchronisiert ist. Die Taktschaltung weist eine Verzögerungsleitung auf, die eine Anzahl phasenverschobener Signale mit der Betriebsfrequenz des Rechnersystems liefert. Jedes dieser phasenverschobenen Signale wird entsprechend den Beziehungen zwischen seiner Phase zu der Phase des Signals mit der Taktfrequenz des externen Busses gemultiplext. Durch Multiplexen der phasenverschobenen Signale in der entsprechenden Weise werden Pulse mit einer Zeitdauer, die der des gewünschten externen Bus-taktfrequenz entsprechen, erzeugt.

Der synchronisierte Taktgeber für den externen Bus ermöglicht es; wichtige Vorgänge schneller zu erfassen, und schafft somit eine größere Effizienz als Systeme, die eine asynchrone Logik anwenden.

Ausführungsformen der Erfindung werden anhand der Zeichnungen erläutert.

Fig. 1 ist ein Blockdiagramm eines Rechnersystems mit einem Anpassungssystem zur Erweiterung seiner Kapazitäten;

Fig. 2 ist ein Funktionsblockdiagramm des Anpassungssystems;

Fig. 3 ist ein schematisches Diagramm einer Schaltung zur Ableitung eines synchronisierten 4,8 MHz Taktsignals von einem 8 MHz Systemtaktgeber;

Fig. 4 ist ein Ablaufdiagramm, in dem die Beziehungen verschiedener in der Schaltung nach Fig. 3 erzeugter Signale verdeutlicht werden; und

Fig. 5 ist ein Ablaufdiagramm für eine Schaltung, die ähnlich ist der der Fig. 3, die geändert wurde, um ein 6 MHz Taktsignal aus einem 8 MHz Systemtaktgeber zu erhalten.

In der folgenden Beschreibung einer bevorzugten Ausführungsform der Erfindung wird ein spezieller Bezug genommen auf das Beispiel zweier Rechnersysteme, die mit ungefähr 4,8 MHz bzw. 8 MHz arbeiten, um ein Verständnis der Erfindung zu erleichtern. Es soll jedoch verstanden werden, daß die praktischen Anwendungen der Erfindung nicht auf dieses spezielle Ausführungsbeispiel beschränkt sind. Vielmehr können die grundlegenden Prinzipien der Erfindung angewendet werden, um eine Kompatibilität zwischen zwei Systemen, die mit vielen verschiedenen Frequenzen betrieben werden, zu schaffen.

Bezugnehmend auf Fig. 1 ist dort eine mögliche Rechnerhardwareausgestaltung in Blockdiagrammform dargestellt, in welcher die vorliegende Erfindung angewendet werden kann. In diesem Beispiel hat der Rechner 1, der die grundlegende Komponente des Systems bildet, eine 16-Bit CPU, die mit 8 MHz arbeitet. Z. B. kann die CPU ein Intel 80186 Mikroprozessor sein. Dieser Typ von Vorrichtung weist einen eingebauten DMA (direct memory access, direkter Speicherzugriff), Regler, Zeitgeber und einen Unterbrechungsregler (interrupt controller) auf.

Es kann wünschenswert sein, die Kapazitäten dieses Computers auszuweiten, um einen Zugriff auf Eigenschaften zu schaffen, die mit einem Rechner, der auf einem verschiedenen Mikroprozessortyp basiert, z. B. Intel 8088, erhältlich sind. Dieser Mikroprozessortyp arbeitet mit etwa 4,8 MHz und verarbeitet nur 8 Bit gleichzeitig. Entsprechend ist es notwendig, um Informationen für den Austausch zwischen den zwei Rechnertypen anzupassen, ein Wandlersystem 2 vorzusehen, um die Informationen des einen Rechners in das Format, welches von dem anderen Rechner verarbeitet werden kann, umzuwandeln.

Eine mit dem internen Bus des Rechners 1 verbundene Empfänger/Überträgerschnittstelle 3 gibt Signale von dem Bus auf ein mit dem Wandlersystem 2 verbundenes Kabel 4, empfängt Signale vom Wandlersystem 2 und führt sie dem Rechner zu. Die Schnittstelle weist bidirektionale Treiber und Empfänger auf, die die Richtung und den Fluß der Information zwischen dem Rechner 1 und dem Kabel 4 steuern. Es kann ferner angepaßte Leitungsabschlußwiderstände und dgl. aufweisen, um Signalreflexionen zu vermeiden und damit das Rauschen zu vermindern.

Das Wandlersystem 2 empfängt multiplexe 16-Bit Informationen mit 8 MHz auf dem Kabel 4 und wandelt sie in nicht-multiplexe 8-Bit Informationen mit einer 4,8 MHz Bezugsfrequenz. Diese Information wird auf einen I/O-Kanal 5 (Eingabe/Ausgabe) zur Übertragung

an eine Zusatzkarte 6 gegeben, die Daten mit diesem Format verarbeitet, z. B. ein Modem. In ähnlicher Weise wird die Information, die durch die externe Karte 6 auf den I/O-Kanal gegeben wird, in ein Format gewandelt, das zum Gebrauch im Rechner 1 angepaßt ist.

Zusätzlich zu der Zusatzkarte kann das erweiterte System ferner andere Kapazitäten für den Rechner schaffen. Falls es z. B. gewünscht wird, 16-Bit 8 MHz-Zusätze zu verwenden, die für den Rechner 1 ausgelegt sind, aber nicht unmittelbar im Computer untergebracht werden können, da alle vorgesehenen Zusatzkartenschlitze belegt sind, dann kann der I/O-Kanal 5 mit einer Buserweiterung versehen werden, die eine angemessene Anzahl von Leitungen liefert, um die 16-Bit Informationen gleichzeitig aufzunehmen. Auf diese Weise kann der Rechner 1 Zusatzkarten 7 verwenden, die extern angeordnet sind. In diesem Fall wird das Wandlersystem die zwischen dem Rechner und der Zusatzkarte 7 übertragenen Informationen nicht umformatieren.

Ein weiterer Aspekt des Erweiterungssystems besteht in der Schaffung externer Möglichkeiten, die ebenso innerhalb des Rechners angeordnet sind. Wie vorher erwähnt, hat z. B. der 80186 Mikroprozessor eine eingebaute DMA-Steuerung. Anwendungssoftware oder andere Hardwarezusätze, d. h. eine lokale Netzwerkkarte, die für den 8088 Mikroprozessor ausgelegt sind, könnten jedoch den Versuch machen, auf einen externen DMA-Chip zuzugreifen. Um die Kapazitäten des auf dem 8088 Mikroprozessor basierenden Systems auszuschoöpfen, ist es notwendig, eine externe DMA-Steuerung 8 zu schaffen. Diese Steuerung kann für den Zugriff durch den Rechner 1 mit dem Wandlerungssystem 2 verbunden sein. In dieser Anordnung kann die externe DMA-Steuerung 8 als Bussteuerung betrieben werden, die den Informationsfluß zwischen dem Speicher im Rechner 1 und der mit dem I/O-Kanal 5 verbundenen Zusatzkarte steuert.

Das Wandlersystem 2 ist als Blockdiagramm in Fig. 2 dargestellt. Es weist eine Taktgeberschaltung 10 auf, die ein 8 MHz Systemtaktsignal vom Rechner 1 empfängt, und ein synchronisiertes 4,8 MHz Signal erzeugt, um zur Wandlung von Informationen von einem Format in das andere angewendet zu werden. In dieser Hinsicht werden auf dem Steuerbus 12 vorhandene Signale der Zeitgeberschaltung 14 zugeführt. In der Zeitgeberschaltung werden diese Steuersignale, z. B. Lese- und Schreibsignale, zeitverschoben, wenn sie vom Kabel 4 zu dem I/O-Kanal 5 gelangen und umgekehrt, um in einem angemessenen Synchronismus mit dem entsprechenden Taktsignal zu sein.

In dem hier beschriebenen Beispiel wird angenommen, daß in dem Rechner 1 die Adress- und Datenbits auf dem gleichen Bus gemultiplext werden, wohingegen der I/O-Kanal 5 getrennte Adress- und Datenbusse benötigt. Entsprechend umfaßt das Wandlersystem einen Datenmultiplexer/-demultiplexer 16 und Adressierungssperren 18, um die Adress- und Dateninformationen aus dem Kabel 4 zu den entsprechenden Zeiten herauszuziehen und sie auf getrennte Busse 20 und 22 des I/O-Kanals zu geben. In ähnlicher Weise werden der Multiplexer/Demultiplexer 16 und die Adresssperren 18 betrieben, um die getrennt vorhandenen Informationsstücke auf den Bussen 20 und 22 zu überlagern und sie in multiplexer Form, unter Steuerung von Kontrollsignalen aus dem Kontrollbus 12 und der Zeitgeberlogik 14, auf das Kabel zu geben. Der Multiplexer/Demultiplexer 16 wandelt ebenso die 16-Bit Datensignale des Rechners 1 in ein multiplexes 8-Bit Format zur Eingabe

in den Datenbus 20, und demultiplext Daten aus dem Bus 20 zur Eingabe in den Rechner in einem 16-Bit Format. In diesen Situationen, in denen der Rechner auf eine externe 16-Bit, 8 MHz-Zusatzkarte, wie z. B. die Karte 7, auf dem I/O-Kanal zugreift, kann der I/O-Kanal mit einem zweiten 8-Bit Datenbus 24 versehen sein. Auf diese Weise können Daten der externen Karte in einem 16-Bit Format zugeführt werden.

Um einen Zugriff auf die DMA-Steuerung 8 zu ermöglichen, weist das Wandlersystem eine zusätzliche Sperre 25 und einen Zwischenspeicher 26 auf, die die Informationen aus dem 16-Bit Rechnersignal aufspalten und der Steuerung als entsprechende Adress- und Datensignale zuführen.

Um zusätzliche Unterbrechersignale, die in 8 MHz Zusatzkarten benutzt werden können, zu liefern, kann eine Unterbrechungssteuerung 27 im Wandlersystem 2 vorgesehen sein. Diese Steuerung reagiert auf Dateninformationen, um Unterbrechungen an die externe Karte über eine Leitung 28 zu liefern.

Bezugnehmend auf Fig. 3 sind die Einzelheiten der Taktgeberschaltung 10 zur Erzeugung eines 4,8 MHz Ausgangssignals, das mit einem 8 MHz-Systemtaktgeber synchronisiert ist, dargestellt. Die Periodendauer des 8 MHz Signals ist 125 ns, während sie für das gewünschte 4,8 MHz Ausgangssignal ungefähr 208 ns beträgt. Entsprechend müssen zur Erzeugung der gewünschten Frequenz fünf 125 ns-Perioden in drei 208 ns-Perioden umgewandelt werden.

Um dieses zu erreichen, wird das Systemtaktsignal einer Eingangsklemme einer Vielfachausgabeverzögerungsleitung 30 zugeführt. Im vorliegenden Beispiel erzeugt die Verzögerungsleitung 30 zwei Ausgangssignale, die bezüglich des Eingangssignals um etwa 42 ns (120°) und 83 ns (240°) verzögert sind. Das ursprüngliche Systemtaktsignal, bezeichnet mit ϕ_1 , und die beiden verzögerten Signale, bezeichnet mit ϕ_2 bzw. ϕ_3 , werden den Eingangsklemmen eines Multiplexers 32 zugeführt. In der dargestellten Ausführungsform hat der Multiplexer eine 8 : 1 Multiplexvorrichtung, und die drei Eingangssignale werden jeweils zwei der Eingangsklemmen D0–D7 des Multiplexers zugeführt. Die verbleibenden zwei Eingangsklemmen, in diesem Fall D2 und D5 werden nicht verwendet. Sie können z. B. geerdet werden, oder mit einer Konstantspannungsquelle verbunden sein.

Das Ausgangssignal vom Multiplexer liefert ein Taktgebersignal für eine sechsfach teilenden Möbiuszähler aus drei D-Flip-Flops 34, die in Serie geschaltet sind. Das Ausgangssignal des Multiplexers wird ebenso als Taktgebersignal einem zweiteilenden Zähler 36 aus einem einzigen D-Flip-Flop zugeführt. Das Ausgangssignal dieses Flip-Flops enthält das synchronisierte 4,8 MHz Signal.

Die Funktion der in Fig. 3 dargestellten Schaltung kann am besten unter Bezugnahme auf das Ablaufdiagramm der Fig. 4 verstanden werden. Die drei Flip-Flops 34 des Möbiuszählers liefern dem Multiplexer 32 eine 3-Bit Auswahlsteuerung. Diese 3-Bits bestimmen, welche der acht Dateneingangsklemmen D0–D7 mit der Ausgangsklemme des Multiplexers zu verbinden sind. Jedes der Flip-Flops ist auf die ansteigende Flanke des Ausgangssignals des Multiplexers 32 getaktet. Das Ausgangssignal wird relativ zu dem Eingangssignal, das an der Datenklemme, die mit der Ausgangsklemme verbunden ist, empfangen wird, invertiert.

Bezugnehmend auf den Anfangszustand, in welchem die drei Bits des sechsteilenden Zählers auf Low, d. h.

binäre Null, sind, ist die D0 Eingangsklemme mit der Ausgangsklemme des Multiplexers verbunden. Diese Eingangsklemme empfängt das \emptyset_1 Signal, das aus dem grundlegenden Systemtakt besteht. An der abfallenden Flanke dieses Signals, gekennzeichnet durch t_1 in Fig. 4, wird das Ausgangssignal des Multiplexers 32 high und taktet jedes der Flip-Flops 34. Zu dieser Zeit geht das niedrigstwertige Bit A der drei Bit-Ausfallsteuerung des Zählers auf high, um die Eingangsklemme D1 auszuwählen. Diese Klemme empfängt das \emptyset_3 Signal, d.h. das um etwa 83 ns, bzw. 240° verzögerte Systemtaktsignal. Entsprechend erscheint das verzögerte Signal jetzt in invertierter Form an der Ausgangsklemme des Multiplexers. Bei der nächsten fallenden Flanke des \emptyset_3 Signals zur Zeit t_2 wird der Zähler erneut getaktet und das zweite höchstwertige Bit B der Ausfallsteuerung geht auf high, um die Eingangsklemme D3 auszuwählen. Diese Eingangsklemme empfängt ebenfalls das verzögerte Taktsignal \emptyset_3 und so erscheint dieses Signal weiter an der Ausgangsklemme des Multiplexers 32.

Bei der nächsten fallenden Flanke des Signals \emptyset_3 , zur Zeit t_3 , wird der Zähler wieder getaktet und das höchstwertige Bit C geht auf high, um die D7 Eingangsklemme auszuwählen. Diese Klemme empfängt das Signal \emptyset_2 , das um 480° ($360^\circ + 120^\circ$) relativ zu dem Systemtaktsignal verzögert ist. Dieses Signal erscheint an der Ausgangsklemme des Multiplexers für die nächsten beiden Zyklen, während die Eingangsklemmen D7 und D6 ausgewählt sind. Bei der zweiten fallenden Flanke des Eingangssignals \emptyset_2 zur Zeit t_4 , schaltet das Steuersignal von 110 auf 100, und wählt die Eingangsklemme D4 aus, die das nichtverzögerte Systemtaktsignal \emptyset_1 empfängt. Dies beendet einen kompletten Zyklus im Betrieb des Multiplexers.

Das Ausgangssignal des Multiplexers, in Fig. 4 mit MUX bezeichnet, hat eine Gesamtfrequenz von 9,6 MHz, d. h. das zweifache der gewünschten Frequenz. Dieses Resultat beruht auf der Tatsache, daß die drei Eingangssignale jeweils zwei Dateneingangsklemmen des Multiplexers zugeführt werden. Das Ausgangssignal des Multiplexers wird in den zweifach teilenden Flip-Flop 36 getaktet, der ein 4,8 MHz Signal an seiner Q (wahr) Ausgangsklemme erzeugt. Dieses 4,8 MHz Signal ist mit dem 8 MHz Systemtaktsignal synchronisiert. Im speziellen ist die ansteigende Flanke des 4,8 MHz Signals mit der entsprechenden Flanke des Systemtaktsignals bei t_1 ausgerichtet, und die nächsten beiden ansteigenden Flanken bei t_3 und t_4 erfüllen eine feste Phasenrelation mit den Flanken im Systemtakt. Zur Zeit t_5 sind die Flanken der beiden Taktsignale wieder ausgerichtet. Auf diese Weise werden drei Taktsignale für jeweils fünf Zyklen im Systemtaktsignal erzeugt.

Es ist möglich, jedes der phasenverschobenen Taktsignale $\emptyset_1 - \emptyset_3$ nur einer Dateneingangsklemme des Multiplexers 32 zuzuführen und einen durch drei teilenden Zähler zum Erzeugen des Steuersignals zu verwenden und dadurch direkt an der Ausgangsklemme des Multiplexers ein 4,8 MHz Signal zu erhalten. Diese Art des Betriebes kann jedoch zu ungewünschten Umwandlungen im Ausgangssignal führen. Aus diesem Grund wird der Gebrauch von sechs Dateneingangsklemmen und eines durch sechs teilenden Zählers bevorzugt, um sicherzustellen, daß die beiden Eingangstaktsignale, unter denen die Auswahl getroffen wird, bei der Schaltzeit das gleiche logische Level haben.

Wie aus Fig. 4 ersehen werden kann, ist das von dem Flip-Flop 36 erzeugte 4,8 MHz Signal nicht perfekt quadratisch, da die high- und low-Bereiche jedes Zyklus

nicht gleich sind. Spezieller hat die high-Periode des Zyklus ($t_2 - t_1$) eine Dauer von ungefähr 83 ns, wohingegen die low-Periode des Zyklus ($t_3 - t_2$) ungefähr 125 ns andauert.

Aus dem vorher Gesagten kann ersehen werden, daß das Funktionsprinzip der Takterzeugungsschaltung auch für die Erzeugung anderer Frequenzen angewendet werden kann. Im Grund beinhaltet es die Schaffung phasenverschobener Versionen der originalen Taktsignale und die Auswahl jeweils desjenigen dieser Signale, dessen Phase mit einem Signal der zu erzeugenden Frequenz übereinstimmt. Der Betrag der Phasenverschiebung ist abhängig von der Differenz der Perioden des originalen und des resultierenden Signals. Z. B. beinhaltet, wie oben erläutert, die Erzeugung eines 4,8 MHz Signals aus einem 8 MHz Signal eine Addition von 240° zu jedem Zyklus. Entsprechend sind die erzeugten Phasenverschiebungen ganzzahlige Vierfache dieser Differenz.

Mit geringen Modifikationen kann die Schaltung der Fig. 1 verwendet werden, um ein 6 MHz Signal zu erzeugen, das mit dem 8 MHz Systemtaktgeber synchronisiert ist. In diesem Fall ist die Differenz der Perioden der beiden Signale ungefähr 42 ns bzw. 120° . Entsprechend können die gleichen phasenverschobenen Signale $\emptyset_1 - \emptyset_3$ benutzt werden, und sie werden in einer unterschiedlichen Weise ausgewählt, um das 6 MHz Signal zu erzeugen. Im speziellen werden die Dateneingangsklemmen des Multiplexers wie folgt verbunden:

Klemme	Signal
D0	\emptyset_1
D1	\emptyset_3
D2	(nicht benutzt)
D3	\emptyset_2
D4	\emptyset_2
D5	(nicht benutzt)
D6	\emptyset_3
D7	\emptyset_1

Ein Ablaufdiagramm, das die Funktion der so angeschlossenen Schaltung erläutert, ist in Fig. 5 dargestellt. Wie ersehen werden kann, werden bei jedem Taktsignal an den durch sechs teilenden Zähler die phasenverschobenen Signale \emptyset_1 , \emptyset_2 und \emptyset_3 in Folge ausgewählt, um ein 12 MHz Signal zu erzeugen. Dieses Signal wird durch zwei geteilt, um das gewünschte 6 MHz Signal zu erzeugen. In diesem speziellen Fall ist das Signal quadratisch.

Es kann ersehen werden, daß die drei phasenverschobenen Signale $\emptyset_1 - \emptyset_3$ fünf abfallende Flanken während jedes Zyklus des Systemtaktgebers liefern. Diese Flanken können auf verschiedene Weisen ausgewählt werden, um Ausgangssignale verschiedener Frequenzen zu liefern. Des weiteren, durch Variation der Länge der Phasenverschiebung, werden andere Kombinationen der Flanken möglich, um einen noch größeren Bereich für die Ausgangsfrequenzen zu erzeugen.

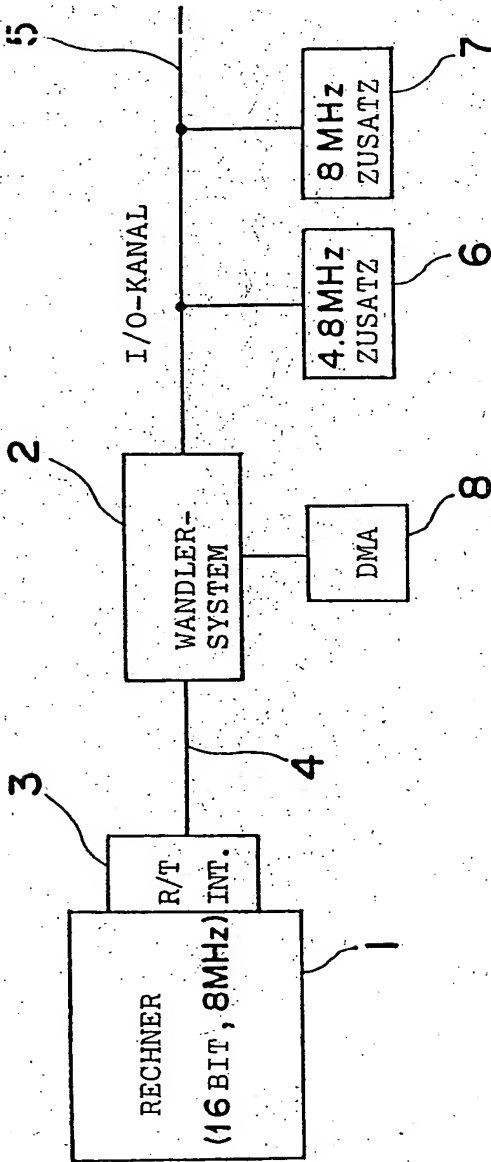


Fig. 1

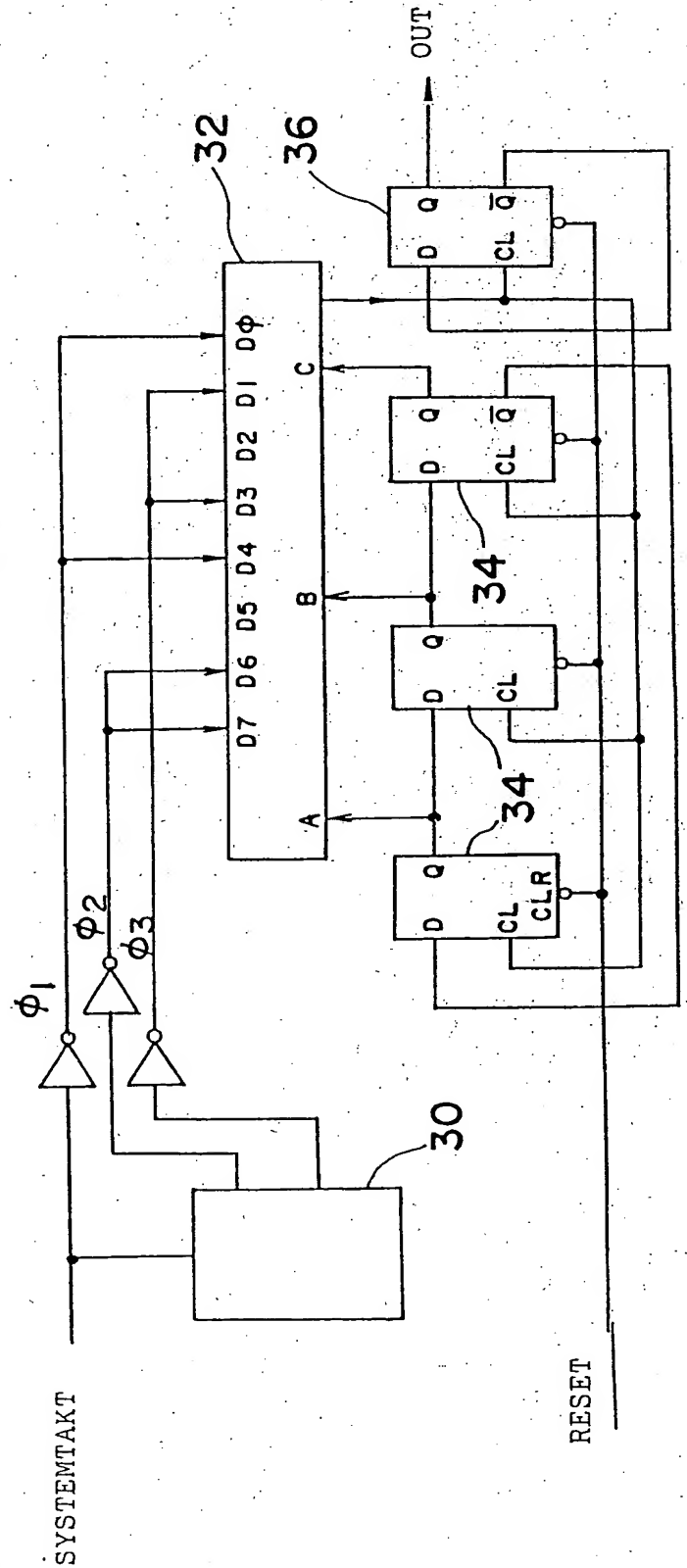
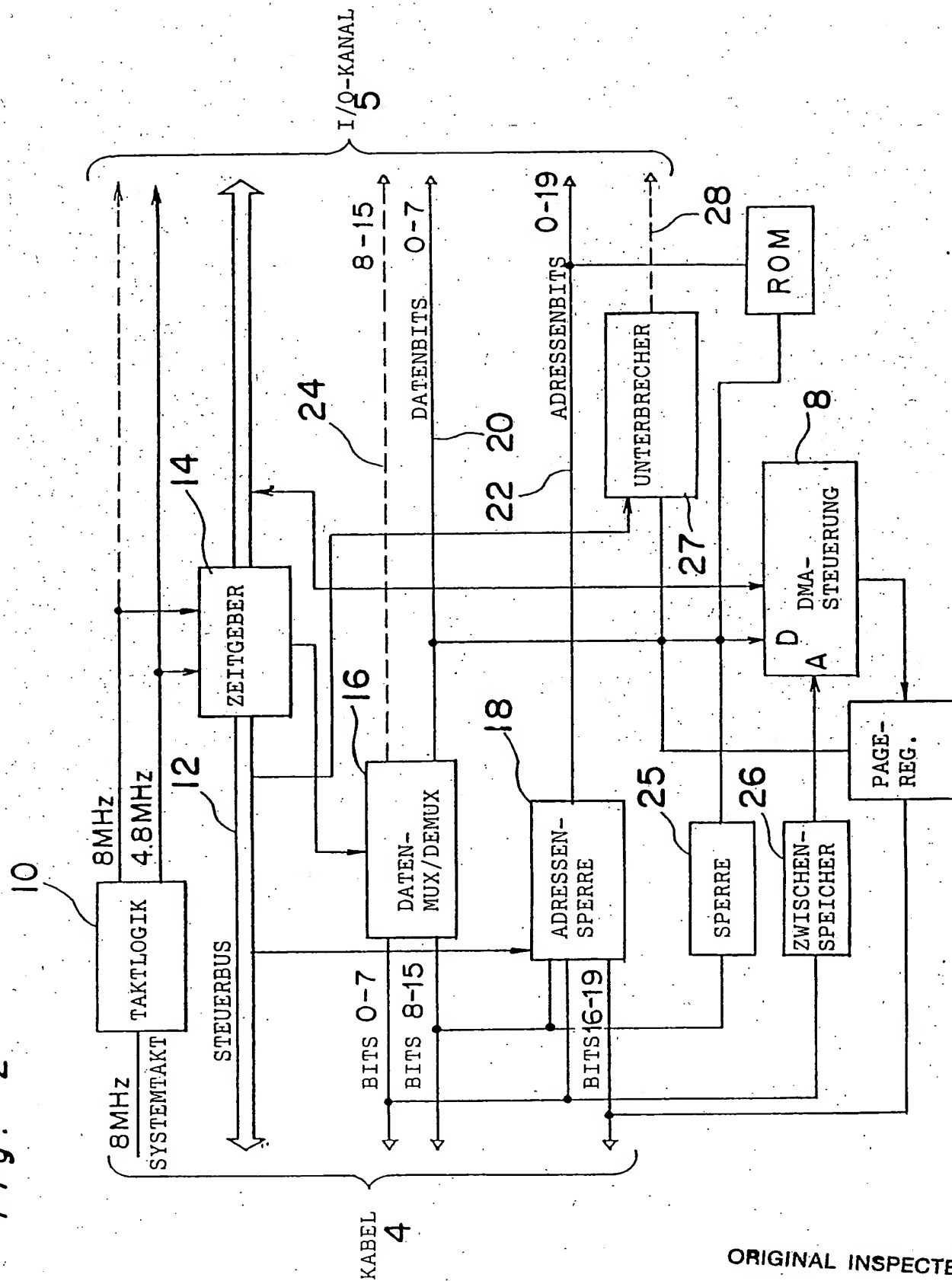


Fig. 3

Fig. 2



ORIGINAL INSPECTED

Fig. 4

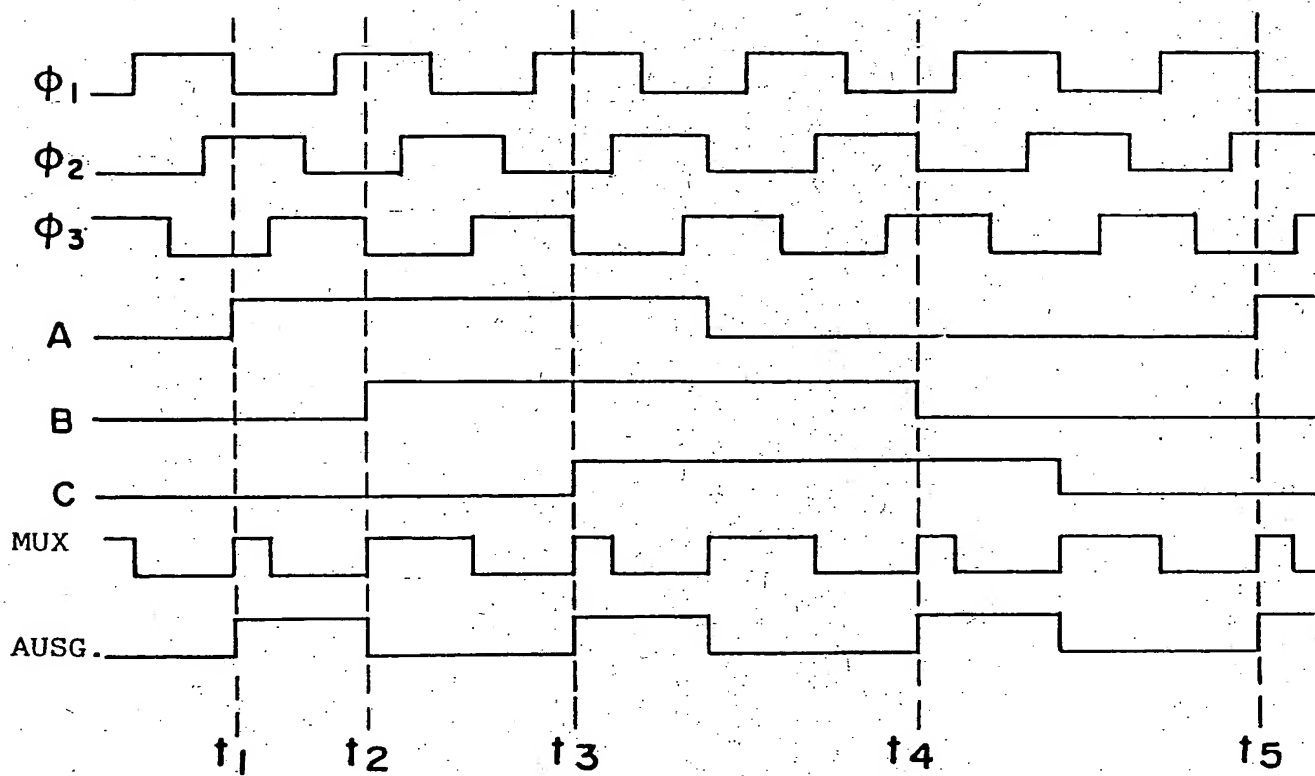


Fig. 5

